



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0036500
Application Number

출원년월일 : 2003년 06월 05일
Date of Application JUN 05, 2003

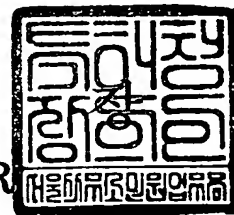
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





1020030036500

출력 일자: 2003/10/13

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.05
【발명의 명칭】	플래시 메모리 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 문턱 전압 조절 이온주입 후 스파이크 어닐링을 실시함으로써, 문턱 전압 조절을 위한 도핑 형상을 균일화와 안정화 할 수 있고, BF_2 이온을 이용하여 문턱 전압 조절을 위한 도즈로 사용할 수 있고, 이로써, 얇은 채널 정선을 얻을 수 있으며, 스파이크 어닐링 장비의 분위기와 공정 조건에 따라서 채널 정선내의 도핑을 다르게 할 수 있고, 문턱 전압 조절을 위한 도핑 프로파일을 조절할 수 있는 플래시 메모리 소자의 제조 방법을 제공한다.

【대표도】

도 1b

【색인어】

문턱 전압 조절 이온주입, 스파이크 어닐링, 아웃가싱

**【명세서】****【발명의 명칭】**

플래시 메모리 소자의 제조 방법{Method of manufacturing a flash memory device}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 2는 스파이크 어닐링을 통한 붕소와 불소 이온의 농도 변화를 나타낸 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판 12 : 이온층

16 : 터널 산화막 18, 22, 28 : 폴리 실리콘막

20 : 소자 분리막 24 : 플로팅 게이트 전극

26 : 유전체막 30 : 텅스텐 실리사이드막

32 : 컨트롤 게이트 전극 34 : 정션영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로, 특히 고전압 플래시 메모리 소자의 문턱 전압을 안정화할 수 있는 방법에 관한 것이다.



<10> 최근 플래시 소자를 구현함에 있어서 자기 정렬(Self Aligned) 셀로우 트렌치 아아슬레이션(Shallow Trench Isolation; 이하 'STI'라함)을 적용하여 소자 분리막을 형성함으로써 터널 산화막의 손상을 방지하여 열악한 소자 특성을 개선하고 있다. 하지만 상술한 기술을 이용하여 형성된 트랜지스터의 웰(Well) 형성영역과 접합 형성영역에 고전압을 인가하기 위해서는 소스(Source)와 드레인(Drain) 정션(Junction) 영역을 플러스(Plus) 접합으로 사용하고 있지 못하고 더블 도프트 드레인(Double Doped Drain; 이하 'DDD'라함) 정션과 플러그 임플란트(Plug Implant) 공정을 이용하여 구현하고 있다. 이러한 DDD 접합 역시 고전압 인가에 대한 브레이크다운(Breakdown) 전압 향상을 위해서 보유량을 낮출 수밖에 없다. 이때, 소스와 드레인의 낮아진 이온농도로 인하여 일반적인 트랜지스터에서 사용하는 1.0V 이하의 동작 전압이 높게 나타나고 또한, 채널영역의 문턱전압 조절을 위해 이온 주입하는 P-타입의 도펀트(Dopant)의 경우 현재 최소 이온주입으로도 1.0V 이하의 동작 전압 확보가 어려운 문제가 발생한다. 일반적으로 브레이크다운 전압 개선을 위해 정션내에 잔류의 여지가 있는 BF₂ 이온을 배제한 B11을 이용하여 이온주입을 실시한다. 하지만, 붕소(B11)를 이용하여 이온 주입을 실시하게 되면, 붕소가 후속 열처리 공정에 민감하게 반응하여 먼저 주입된 도펀트의 트랜시엔트 인헨스드 디퓨전(Transient Enhanced Diffusion; 이하'TED'라함)이 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 문턱 전압 조절을 위한 이온주입 후 스파이크 어닐링을 통해 잔류된 도즈를 조절함으로써, 문턱 전압 조절을 위한 도핑 형상을 안정화 할 수 있는 플래시 메모리 소자의 제조 방법을 제공하는데 그 목적이 있다.



【발명의 구성 및 작용】

<12> 상술한 목적을 달성하기 위한 기술적 수단으로, 본 발명은 반도체 기판에 문턱 전압 조절을 위한 이온 주입을 실시하는 단계와, 이온 주입된 도펀트의 도핑 농도 및 형상을 제어하기 위한 스파이크 어닐링을 실시하는 단계와, 상기 반도체 기판 상에 활성영역과 필드영역간의 분리를 위한 소자 분리막을 형성하는 단계와, 상기 활성영역 상에 터널 산화막, 플로팅 게이트 전극, 유전체막 및 컨트롤 게이트 전극이 적층된 형태의 게이트 전극을 형성하는 단계 및 상기 게이트 전극 양측의 상기 반도체 기판에 정션 형성을 위한 이온주입을 실시하여 DDD구조의 정션을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법을 제공한다.

<13> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<14> 본 발명에 따른 일 실시예로써, NAND 플래시 소자의 경우 X 디코더(Decoder) 트랜지스터와 셀 트랜지스터로 사용할 고전압 NMOS의 정션을 DDD 정션으로 형성한다. 이는 상기 트랜지스터들의 P 웰 형성 영역과 접합 형성영역에는 고전압이 인가되기 때문이다. 고전압 인가에 대한 브레이크다운 전압 향상을 위해 BF_2 이온 주입과 스파이크 어닐링(Spike Annealing)에 의한

포스트 써멀 트리트먼트(Post Thermal Treatment)를 실시한다. 채널 정션(Channel Junction) 내의 잔류된 도판트(Retained Dopant)의 집중(Concentration)을 감소시켜 전기적으로 안정한 플래시 메모리 소자를 형성할 수 있다.

- <15> 도 1a 내지 도 1d는 본 발명에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- <16> 도 1a를 참조하면, 반도체 기판(10) 상에 소자의 문턱 전압 조절을 위한 이온주입을 실시한다. 반도체 기판(10)상에 반도체 기판(10)을 보호하기 위한 스크린 산화막(미도시)을 형성한 다음 이온주입 공정을 실시할 수 있다.
- <17> 구체적으로, 상기의 스크린 산화막 형성전 반도체 기판(10)의 세정을 위해 H_2O 와 HF의 혼합비율이 50:1인 DHF(Dilute HF)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1(Standard Cleaning - 1)을 이용하거나, NH_4F 와 HF의 혼합비율이 100:1 내지 300:1인 BOE(Buffered Oxide Etch)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1을 이용하여 전처리 세정공정을 실시한다. 750 내지 800℃의 온도범위 내에서 건식 또는 습식 산화를 실시하여 30 내지 120Å 두께의 상기 스크린 산화막을 형성한다. 반도체 기판(10)은 P 타입의 기판을 사용한다.
- <18> 표면 채널에 문턱 전압 조절을 위하여 P 타입의 도펀트를 사용하여 5 내지 50 KeV의 이온주입 에너지로 $1E11$ 내지 $1E13$ ion/ cm^2 의 도즈량을 주입하여 문턱 전압 조절을 위한 이온층(12)을 형성한다. 바람직하게는 $5E12$ 내지 $5E13$ ion/ cm^2 의 도즈량을 주입한다. P 타입 도펀트로써 $49BF_2$ 를 사용하고, 채널링이 최대한 억제되도록 3 내지 13°틸트를 주어 이온 주입한다. 상술한 이온 주입공정의 조건들은 이에 한정되지 않고, 반도체 기판(10) 표면에 정션이 형성되어 다른 누설 전류의 원인이 되지 않고, 웰과 정션간의 누설이 발생하지 않을 정도의 조건으로



이온주입을 실시한다. 또한, 감광막패턴을 형성하여 일정 영역에만 이온주입을 할 수 있다. 또한 스크린 산화막을 형성하지 않고 바로 이온주입을 실시할 수 있다.

<19> 도 1b 및 도 1c를 참조하면, 스파이크 어닐링을 실시하여 주입된 이온을 안정화 한다.

반도체 기판(10) 상에 터널 산화막(16) 및 제 1 폴리 실리콘막(18)을 순차적으로 형성한다.

<20> 구체적으로, H_2 또는 N_2 분위기 하에서 스파이크 어닐링을 통해 P 타입 도판트와 함께 이온주입한 F19 이온을 아웃 비퓨전(Out Diffusion) 시키면서, 문턱 전압 조절 도판트 아웃가싱(Outgassing)을 실시한다. 900 내지 1100℃의 온도로 스파이크 어닐링을 실시한다. 스파이크 어닐링의 램프업율(Ramp Up; 승온속도)은 100 내지 250 °C/sec 로 진행을 한다. 스파이크 어닐링 공정은 고온 열처리시 자연 산화막 성장을 억제하는 것을 주 목적으로 하기 위해 N_2 분위기에서 실시하고, F19 이온의 아웃 디퓨전 능력 향상을 위해 H_2 또는 NH_3 분위기에서 실시한다. 스파이크 어닐링 공정을 통해 불소(F19) 이온이 아웃 가싱되면서, 함께 주입된 붕소(B)이온 또한 함께 아웃 가싱된다.

<21> 도 2는 스파이크 어닐링을 통한 붕소와 불소 이온의 농도 변화를 나타낸 그래프이다.

<22> 도 2의 점선은 불소(F) 이온의 농도 변화를 나타낸 것이고, 실선은 붕소(B) 이온의 농도 변화를 나타낸 것이다. 또한, A는 점선은 문턱 전압 조절을 위해 주입한 BF_2 이온들의 깊이에 따른 농도를 나타낸 것이다. B는 스파이크 어닐링 후의 B와 F 이온의 깊이에 따른 농도를 나타낸 것이다. 도 2에서 보는 바와같이. 문턱 전압 조절을 위한 표면 이온주입을 실시한 다음, 스파이크 어닐링을 실시하게되면, 앞서 설명한 바와 같이 B 이온도 F 이온과 함께 아웃가싱되어 기판 표면에 저 농도의 B 이온층을 형성할 수 있게된다.



<23> 상술한 바와 같은 스파이크 어닐링 공정에 의해 최소한의 도즈 이온주입으로 확보하기 어려운 문턱 전압 조절 도펀트의 균일한 형상을 BF_2 이온을 이용하여 형성할 수 있다. 즉, 기존의 공정에서 F19에 기인한 산화막의 막질 저하로 인해 사용할 수 없었던 BF_2 이온을 이용하여 문턱 전압 조절 이온주입을 실시할 수 있게 되었다. 이로써, 1.0V이하의 동작 전압을 확보할 수 있다. 또한, 유효 채널 길이 내에 경사가 급한(Steep) 문턱 전압 조절을 위한 도핑 형상을 얻을 수 있고, 이로 인해 FN 터널링을 이용하는 NAND 플래시 소자에서 홀 효과에 의한 산화막 막질 저하를 예방할 수 있다. 채널 정선내의 주입된 B11 도즈가 스파이크 어닐 실시 F19 아웃가싱에 의해 B11 잔류 도즈 감소되어 문턱 전압을 조절할 수 있고, 균일한 도핑 형상을 얻을 수 있으며, 문턱 전압을 안정화할 수 있다. 스파이크 어닐링 장비의 분위기과 공정 조건(어닐 온도, 승온 속도, 가스, 공정시간)에 따라서 채널 정선내의 도핑을 다르게 할 수 있고, 문턱 전압 조절을 위한 도핑 프로파일을 조절할 수 있다. 또한, 스파이크 어닐링을 통해 이온주입된 도펀트를 열적으로 안정화 할 수 있다.

<24> 스파이크 어닐링을 통한 아웃가싱 후, 산화 공정을 실시하여 터널 산화막(16)을 형성한다. 상기 산화공정은 750 내지 800℃의 온도범위 내에서 습식 산화를 진행하고, 900 내지 910℃의 온도에서 N_2 를 이용하여 20 내지 30분간 어닐을 실시한다. 터널 산화막(16) 상에 580 내지 620℃의 온도와 0.1 내지 3.0torr의 압력 하에서 화학 기상 증착법(Chemical Vapor Deposition; CVD), 저압 화학 기상 증착법(Low Pressure CVD; LP-CVD), 플라즈마 인핸스드 화학 기상 증착법(Plasma Enhanced CVD; PE-CVD) 또는 대기압 화학 기상 증착법(Atmospheric Pressure CVD; AP-CVD) 방식으로 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 250 내지 500Å의 두께로 P 농도가 $1.5\text{E}20$ 내지 $3.0\text{E}20\text{atoms/cc}$ 정도 도핑된 비정질 실리콘 막인 제 1 폴리 실리콘막(18)을 증착한다. 이로써 제 1 폴리 실리콘막(18)의 입도가 최소화 되어 전계 집중을 방지



할 수 있다. 제 1 폴리 실리콘막(18)은 소자 분리막 형성시 버퍼막 역할을 하고, 후속 공정을 통해 형성된 플로팅 게이트의 일부로 사용한다.

<25> 도 1d를 참조하면, 패터닝 공정을 실시하여 소자 분리막(20)을 형성한 다음, 제 2 폴리 실리콘막(22)을 증착한다. 평탄화 공정 또는 패터닝 공정을 실시하여 플로팅 게이트 전극(24)을 형성한다. 전체 구조의 단차를 따라 유전체막(26)을 형성하고, 전체 구조 상부에 컨트롤 게이트 전극용 물질막을 증착한 다음 패터닝 공정을 실시하여 컨트롤 게이트 전극(32)을 형성한다. 이온주입을 실시하여 정션영역(34)을 형성한다.

<26> 구체적으로, 제 1 폴리 실리콘막(18) 상부에 패드 질화막(미도시)을 증착하여 셀로우 트랜치 아이솔레이션(Shallow Trench Isolation; STI) 공정을 적용, STI 구조의 트랜치(미도시)를 반도체 기판(10) 내에 형성하여 소자가 형성될 활성영역과 소자간의 분리를 담당하는 필드 영역으로 반도체 기판(10)을 분리한다. 고밀도 플라즈마(High Density Plasma; HDP) 산화막을 통해 STI 구조의 트랜치를 매립한 다음, 평탄화 공정과 질화막 스트립 공정을 실시하여 제 1 폴리 실리콘막(18)을 노출한다. 전체 구조 상부에 제 2 폴리 실리콘막(22)을 증착한 다음 패터닝 또는 평탄화 공정을 실시하여 제 1 및 제 2 폴리 실리콘막(18 및 22)으로 형성된 플로팅 게이트 전극(24)을 형성한다. 제 2 폴리 실리콘막(22)은 제 1 폴리 실리콘막(18)과 동일한 재질의 실리콘 막을 400 내지 1000Å 두께로 증착하여 형성한다. 또한, 패드 질화막은 LPCVD방법을 이용하여 900 내지 2000Å 만큼 두께로 형성한다.

<27> 전체구조 상부에 그 단차를 따라 제 1 산화막/질화막/제 2 산화막($\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$; ONO) 구조의 유전체막(26)을 증착한다. ONO구조의 유전체막(26)을 증착함에 있어서, ONO구조의 제 1 및 제 2 산화막(미도시)은 우수한 내압과 TDDB(Time Dependent Dielectric Breakdown)특성이 좋은 DCS(Dichloro Silane; SiH_2Cl_2)와 N_2O 가스를 소스로 하는 고온산화막(Hot Temperature



Oxide)을 증착한다. 또한 제 1 및 제 2 산화막 사이의 질화막(미도시)은 DCS와 NH_3 가스를 이용하여 1 내지 3torr의 낮은 압력과 650 내지 800℃ 정도의 온도 하에서 스텝 커버리지가 좋은 공정조건의 CVD, PE-CVD, LP-CVD 또는 AP-CVD을 이용하여 증착한다. 상술한 증착 공정을 통해 제 1 산화막은 35 내지 100Å 두께로 형성하고, 질화막은 50 내지 100Å 두께로 형성하며, 제 2 산화막은 35 내지 150Å 두께로 형성한다. ONO공정 수행 후 ONO의 질을 향상시키고 각 층간의 인터페이스(interface)를 강화하기 위해 습식 산화방식으로 약 750 내지 800℃ 온도에서 모니터링 웨이퍼(monitored wafer)를 기준으로 약 150 내지 300Å의 두께로 산화 되도록 스팀 어닐(steam anneal)을 수행할 수 있다. 나아가 상기 ONO공정과 상기 스팀 어닐을 수행시 각 공정간의 지연시간이 수 시간 이내의 시간 지연이 없는 공정을 진행하여 자연 산화막 또는 불순물에 오염되는 것을 방지하도록 한다.

<28> 컨트롤 게이트 전극용 물질막은 제 3 폴리 실리콘막(28)과 텅스텐 실리사이드막(30)으로 구성된다. 제 3 폴리 실리콘막(28)의 증착시 유전체막(26)에 치환 고용되어 산화막 두께를 증가시킬 수 있는 불산의 확산을 방지하고, 텅스텐(W)과 인(P)의 결합을 통해 형성되는 WP_x 층의 생성을 방지하기 위해 도핑처리된 막과 도핑처리되지 않은 막(doped and undoped)의 2중구조로, 약 510 내지 550℃의 온도와 1.0 내지 3torr의 압력 하에서 CVD, PE-CVD, LP-CVD 또는 AP-CVD을 이용하여 비정질 실리콘 막으로 증착하는 것이 바람직하다. 이로써 후속 텅스텐 실리사이드막(30)이 부풀어 오르는 현상(Blowing-up)을 방지할 수 있다. 도핑처리된 막과 도핑처리되지 않은 막의 비율을 1:2 내지 6:1의 비율로 하고, 제 2 폴리 실리콘막(22) 사이의 공간이 충분히 매립이 되도록 약 500 내지 1500Å 두께로 비정질 실리콘막을 형성함으로써, 후속 텅스텐 실리사이드막(30) 증착시 틈 형성을 억제하여 워드라인 저항(R_s)을 감소시킬 수 있다. 상기의 2층 구조의 제 3 폴리 실리콘막(28)을 형성할 때 SiH_4 또는 Si_2H_6 와 PH_3 가스를 이용하여 도

핑처리된 막을 형성하고 이후 PH_3 가스를 차단하고 연속적으로 도핑처리되지 않은 막을 형성하는 것이 바람직하다. 텅스텐 실리사이드막(30)을 낮은 불소 함유와 낮은 포스트 어닐드 스트레스(post annealed stress) 그리고 좋은 접착 강도를 갖는 $\text{MS}(\text{SiH}_4)$ 또는 $\text{DCS}(\text{SiH}_2\text{Cl}_2)$ 와 WF_6 의 반응을 이용하여 300 내지 500℃사이의 온도에서 적절한 스텝 커버리지(step coverage)를 구현하고, 워드라인 저항(R_s)을 최소화시킬 수 있는 화학적양론비인 2.0 내지 2.8 정도로 성장시키는 것이 좋다. 텅스텐 실리사이드막(30)상에 SiO_xN_y 또는 Si_3N_4 를 이용하여 도포되지 않은 ARC층을 증착하고, 게이트 마스크와 에칭(Gate mask and etching)공정과 셀프 얼라인드 마스크와 에칭(Self aligned mask and etching) 공정을 수행하여 컨트롤 게이트 전극(32)을 형성한다. 고전압에 의한 브레이크 다운 전압 개선을 위하여 DDD 정션을 이용하여 소스 및 드레인(Source/Drain)접합부를 형성하여 플래시 메모리 셀을 형성한다. 이러한 DDD 정션으로 채널 정션내에는 더욱 낮은 포지티브 타입의 도핑을 요구하게 된다.

【발명의 효과】

- <29> 상술한 바와 같이, 본 발명은 문턱 전압 조절 이온주입 후 스파이크 어닐링을 실시함으로써, 문턱 전압 조절을 위한 도핑 형상을 균일화와 안정화 할 수 있다.
- <30> 또한 BF_2 이온을 이용하여 문턱 전압 조절을 위한 도즈로 사용할 수 있고, 이로써, 얇은 채널 정션을 얻을 수 있다.
- <31> 또한, 스파이크 어닐링 장비의 분위기와 공정 조건에 따라서 채널 정션내의 도핑을 다르게 할 수 있고, 문턱 전압 조절을 위한 도핑 프로파일을 조절할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 문턱 전압 조절을 위한 이온 주입을 실시하는 단계;

이온 주입된 도펀트의 도핑 농도 및 형상을 제어하기 위한 스파이크 어닐링을 실시하는 단계;

상기 반도체 기판 상에 활성영역과 필드영역간의 분리를 위한 소자 분리막을 형성하는 단계;

상기 활성영역 상에 터널 산화막, 플로팅 게이트 전극, 유전체막 및 컨트롤 게이트 전극이 적층된 형태의 게이트 전극을 형성하는 단계; 및

상기 게이트 전극 양측의 상기 반도체 기판에 정션 형성을 위한 이온주입을 실시하여 DDD구조의 정션을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 문턱 전압 조절을 위한 이온주입은 P 타입의 도펀트를 사용하여 5 내지 50 KeV의 이온주입 에너지로 $1E11$ 내지 $1E13$ ion/cm²의 도즈로 주입하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 P 타입의 도펀트는 BF_2 인 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

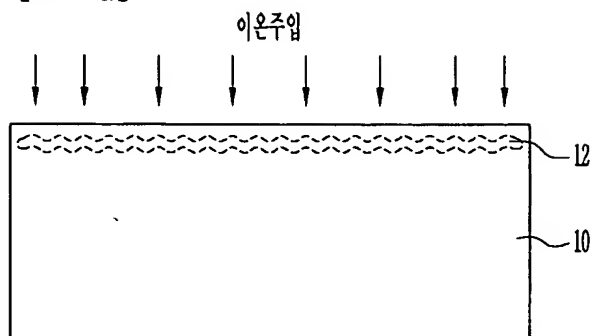
【청구항 4】

제 1 항에 있어서,

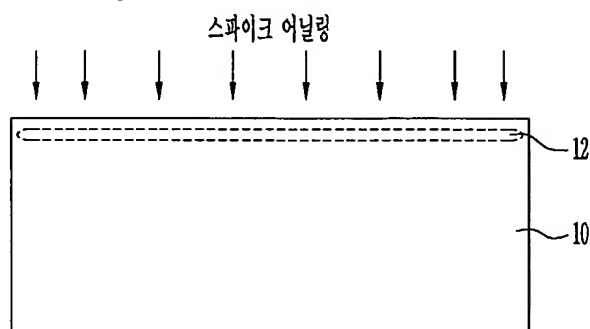
상기 스파이크 어닐링은 NH_3 , H_2 또는 N_2 분위기 하에서 900 내지 1100℃의 온도로 실시하고, 승온속도는 100 내지 250 °C/sec 인 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

【도면】

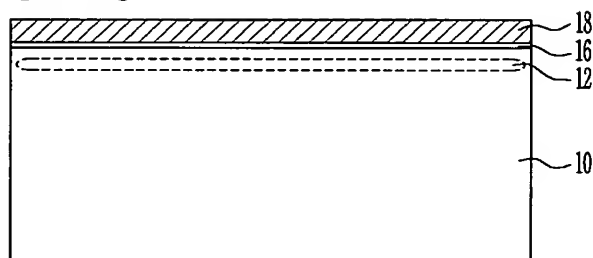
【도 1a】



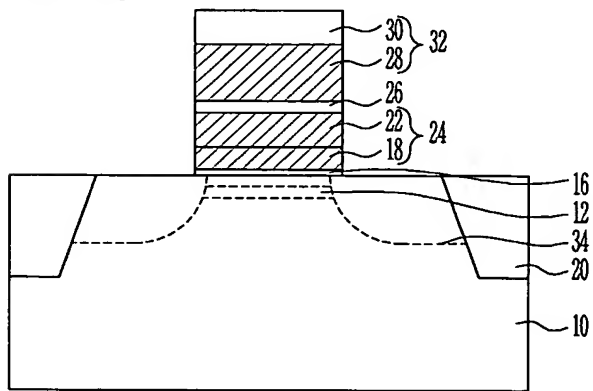
【도 1b】



【도 1c】



【도 1d】



【도 2】

